

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

This Page Blank (uspto)

Title of the Prior Art

Japanese Published Patent Application No. Sho.63-124672

Date of Publication: May 28, 1988

Concise Statement of Relevancy

This publication discloses an image reading apparatus having a sensor unit in which plural CCDs are disposed, which compensates variations in the sensitivity between pixels of respective CCD chips and variations in the amount of light.

This Page Blank (uspto)

⑫ Int. Cl.

H 04 N 1/40
1/04

識別記号

1 0 3

庁内整理番号

G-6940-5C
8220-5C

⑬ 公開 昭和63年(1988)5月28日

審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 画像読取装置

⑮ 特 願 昭61-269842

⑯ 出 願 昭61(1986)11月14日

⑰ 発 明 者	須 田 憲 一	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑱ 発 明 者	長 谷 川 静 男	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑲ 発 明 者	松 岡 伸 夫	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑳ 出 願 人	キャノン株式会社	東京都大田区下丸子3丁目30番2号	
㉑ 代 理 人	弁理士 谷 義 一		

明 細 書

1. 発明の名称

画像読取装置

2. 特許請求の範囲

1) 複数の長尺センサを配列したセンサ部により、原稿面から入射する光に応じて原稿画像を読み取り、前記複数の長尺センサからの各々の画像信号をつなぐことにより1ラインの画像データを得る画像読取装置において、

前記複数の長尺センサの各々に対応して設けられ、画像信号の増幅度を変更して出力可能な出力手段と、

白色データの基準となる白色基準画像の読取り時に得た前記複数の長尺センサからの画像信号のつながり部分にある画素のデータを基に、前記複数の長尺センサのそれぞれに対応した増幅度を前記出力手段の各々に設定することにより、リニアにつながった1ラインの画像データを出力させる設定手段とを具備したことを特徴とする画像読取装置。

置。

2) 特許請求の範囲第1項記載の画像読取装置において、前記設定手段によりリニアにつなげられた画像データについて、前記入射する光の光量変化によらず同一の画像信号レベルが得られるように調整を行う調整手段を具備したことを特徴とする画像読取装置。

3) 特許請求の範囲第1項または第2項記載の画像読取装置において、前記出力手段はアナログ量の画像信号をデジタル量の画像信号に変換するA/D変換手段を有し、前記調整手段は前記白色基準画像の読取り時に前記A/D変換手段がその最上位の出力を行うように調整を行うことを特徴とする画像読取装置。

4) 特許請求の範囲第1項ないし第3項のいずれかの項に記載の画像読取装置において、前記長尺センサは入射光を画素に分解して読取る受光部を有する固体イメージセンサの形態を有し、該受光部上に光の三原色に対応させた色フィルタを周期的に配置し、前記出力手段と前記設定手段と前記

調整手段とを光の三原色に対応させて設けたことを特徴とする画像読取装置。

(以下余白)

多数配列した集束性光伝送体アレー等、1対1の結像を行う光学系を用いる場合は、このような大型化は生じないが、しかし色バランスや階調性の確保を考慮すると、原稿の全幅にわたって直線状の受光素子アレーを用いなければならない。

そこで、近年密着センサの開発が進められている。

一方、カラー原稿の読取りはダイクロイックミラー(dichroic mirror)を用いて実現されている。ダイクロイックミラーは屈折率の異なる層を重ね合わせて形成したものであり、所望の波長領域の反射率が大きくなる性質を利用してB、G、R 3色の色分離を行ない、レンズ系により縮小した像を異なる光電変換装置によって同時に読取るものである。

しかしながら、この場合装置の大きさは白黒原稿の読取り装置の3倍にもなり、しかもまた、この場合の解像度はセンサの大きさとその素子数により制限されてしまうことになる。さらに、一般にセンサの受光部の面積が小さく、ダイクロイッ

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、画像読取装置に関するものである。

(従来の技術)

情報を担持した原稿からその情報の読取りを行う画像読取装置に対して、高分解能、小型化、カラー化等が求められている。このような要求に応える技術としては、従来より固体走査方式によるものが知られている。すなわち、フォトダイオードアレーとMOSスイッチとを組み合わせたものや、デバイス自身で画素分解機能と光情報蓄積機能とを兼ねそなえた半導体機能素子を用いたものなどである。このような固体撮像素子は、一般に高集積化されているので、1チップの大きさが原稿より非常に小さく、そのため原稿面と素子との間に縮小光学系を用いなければならない。

このため光学系部分が大型化してしまい、小型の原稿読取装置を得る上で問題が生じている。

これに対して、集束性光ファイバをアレー状に

クミラーを用いているために照明系の光量が白黒原稿の読取り時に比べ数倍必要となる。

これに対し密着センサのカラー化に関しては、例えばCd-Seを用いた密着センサでは、フィルタを用いることなく、光の三原色のうちレッド(R)およびグリーン(G)の光源としてRおよびGのLED、ブルー(B)の光源として蛍光表示管を用い、一走査ごとに光源の切換えを行なうことによりカラー画像についてR、G、Bの出力を得ている。

従って、密着センサを用いて3色の色分離画像を得るには、単色画像走査時間の3倍の走査時間が必要となり、高速の読取りが困難となる。

(発明が解決しようとする問題点)

本発明は、以上の点に鑑みてなされたものであり、原稿を色フィルタを備えた複数本のカラーイメージセンサにより読取り走査を行なうようになして光学系やセンサ部等装置各部の小型化ならびに読取時間の低減化を図ると共に、各センサ間の

色バランスの調整が可能で、しかも光量変動に対しても安定した階調を得ることのできるカラー画像読取装置を提供することを目的とする。

(問題点を解決するための手段)

そのために、本発明においては、複数の長尺センサを配列したセンサ部により、原稿面から入射する光に応じて原稿画像を読取り、前記複数の長尺センサからの各々の画像信号をつなぐことにより1ラインの画像データを得る画像読取装置において、前記複数の長尺センサの各々に対応して設けられ、画像信号の増幅度を変更して出力可能な出力手段と、白色データの基準となる白色基準画像の読取り時に得た前記複数の長尺センサからの画像信号のつながり部分にある画素のデータを基に、前記複数の長尺センサのそれぞれに対応した増幅度を前記出力手段の各々に設定することにより、リニアにつながった1ラインの画像データを出力させる設定手段とを具備したことを特徴とする。

(作用)

稿の1対1の正立像が結像される。さらに、原稿ガラス11上の適切な位置、例えば原稿の設置範囲外には、後述する黒補正および白補正を行う際の基準となる黒色板18と白色板17とが設けられている。

第2図はセンサ部15の一構成例を示し、本例において用いたセンサ部15は千鳥状に配列した5個のCCDチップ21~25が設けられたセラミック基板26と、このセラミック基板26をおおうカバーガラス27と、接続用リード線28から成るものである。

第3図はセンサ部15におけるCCDチップの画素の構成例を示し、空送り画素01~012、アルミニウム(A2)等でシールドを施した光シールド画素013~036、ダミー画素037~072、有効信号画素51~53072、および後端ダミー画素073~086の合計3168画素の受光部から成るものである。また、本実施例では、上述のようにCCDチップ21~25を千鳥状に2列に配列しているが、この2列のCCDチップは、第4図に示すように、受光部の

すなわち、本発明によれば、基準となる白色の画像信号レベルに応じて、各長尺センサの画像信号のゲインを独立に補正することにより、基準となる白色画像の読取り時の画像信号をリニアにつなぐことができ、また各センサ部について独立に設けた処理回路に異なったドリフトが生じた場合においても、その補正が可能となる。

(実施例)

以下、本発明の一実施例につき図面を参照して本発明を詳細に説明する。

第1図は本実施例において用いることができる光学系の一構成例を示す。ここで、12および13は、それぞれ、光源としてのハロゲンランプおよびその光束を原稿ガラス11上に集光する反射笠である。14是集束性光伝送体アレーであり、原稿面上に集光され原稿からの反射光を受ける位置であって入射側の焦点位置に原稿面がくるような位置に配置してある。また15はCCD等を有するセンサ部であり、集束性光伝送体アレー14の反対側の焦点位置に配置してあり、そのCCDチップ上に厚

適宜の中心距離 λ をもって平行に設けられている。また、この配列に際しては互いに有効画素51~53072の重なりをもたせてあり、CCDチップ21~25の全有効読取り領域が304mmになるようにしてある。

本実施例において、距離 λ を4画素分の距離としてあり、従って、CCDチップ上に結像される像は原稿面上に関して4ライン分の間隔をへだてた画像となる。そして、これを調整するために、CCDチップ21~25内にはメモリを設けている。第5図はCCDチップ21~25の構成例を示す。ここで、51および52は、それぞれ、感光画素である受光部およびA2等のシールド部である。受光部51はシリコン(Si)、フォトダイオードから成り、その大きさは図示のように例えば62.5 μ m \times 15.5 μ mである。またSi素子上に色フィルタが直接積層されており、グリーン(G)、ブルー(B)およびレッド(R)の色フィルタを繰返し配列してこの3ビットで読取り時の1画素として構成する。

第6図は本例に係る画像読取装置における信号

処理部の一構成例を示す。CCD チップ21~25からはB、G、Rの各画素の出力がコンボジットな信号となって出力される。各CCD チップの信号はまずアナログ信号処理回路61に入力され、ここでB、G、Rの3色が分離され、それぞれにゲイン調整およびレベル調整が行なわれた後、さらにA/D変換を施されて3色につきそれぞれ8ビットのデジタル信号として出力される。アナログ信号処理回路61は、各CCD チップ21~25の画素信号がそれぞれ入力されるアナログ信号処理回路61a~61eから成り、各回路はそれぞれ独立した回路構成としてある。

82は、デジタル化された画素信号を各色ごとに、前述の重なり合った有効画素領域の間に画素がとざれることなく、かつ重なることがないように有効画素領域304nmの間の画素信号をつなぐために用いるメモリ部である。このメモリ部82において、82a、82bおよび82cは、それぞれB、GおよびRの画素信号を書き込むためのメモリである。

チップについての信号処理についての動作を説明する。なお、本図では色信号Bについてのみ回路構成を示しているが、色信号GおよびRについても同様の回路構成をとることができる。

センサ部15から出力されたコンボジットな画素信号は、可変増幅器71により増幅された後、サンプルホールド回路72によりB、G、Rのいずれか1色の画素信号に分離される。

1色ごとに分離された信号は可変増幅器73により増幅され、乗算器74を介して8ビットのA/D変換器75に入力される。乗算器74については詳しくは後述するが、信号レベル調整時は固定ゲインの増幅器として作動する。ここで、A/D変換器75の入力レベルの上位レベルは、センサ部15が基準白色板17を読み取ったときの画素信号を用いて可変増幅器71および73により調整される。また、A/D変換器75の入力信号はクランプ回路76を介して可変増幅器73の入力側へフィードバックされており、第3図について前述した光シールド画素を用いてクランプを行っている。またそのクランプレ

このメモリ82により各色ごとに1本につながれた画素信号は、ROM63に展開されたテーブルにより対数変換が行なわれ、これまでのB、G、Rの光信号から、イエロー(Y)、マゼンタ(M)、シアン(C)なる色濃度信号に変換され、さらにこの変換データがホワイトバランス回路84に入力されてCCDチップ21~25の画素間の感度のばらつきおよび光量のばらつきが補正される。回路部84において、84a、84bおよび84cは、それぞれ、Y、MおよびCの各信号を独立に補正を行うホワイトバランス回路である。さらに、ホワイトバランス回路84a~84cからCPU部65に対し、画素信号が供給され、第10図につき後述するように、黒補正および白補正に供する補正データがCPU65からアナログ信号処理回路61にフィードバックされる。なお、85aは、第10図示の処理手順等に対応したプログラムを格納したROM、85bは作業用の領域を有するRAMである。

第7図は、第6図示の信号処理部の具体的構成例を示し、本図を用いてCCDチップのうち、1

本にバイアスを付加することにより、A/D変換器75の入力の下位レベルをセンサ部15が基準白色板17を読み取ったときの画素信号を用いて調整する。

A/D変換器75からの8ビットのデジタル画素信号は、第6図に関して説明したように、各色ごとのメモリ82により、5個のCCDチップ21~25の信号が1ラインとなるように連結され、これによりそれまで独立した画素信号であったデータが1本の画素信号として再構成される。

このようにメモリ82により1ラインにつながれた画素信号は、前述の如く、ROM63により対数変換され、その結果画素信号は色濃度を表わす信号となる。

次に、RAM77、インバータ78および加算器79を含むホワイトバランス回路84により前述の如くセンサ部15が基準白色板17を読み取ったときの画素信号を補正する。

以上の動作がB、G、Rの3色について行なわれ、またCCDチップ21~25について行なわれ

る。

さて、前述したように、本例に係るアナログ信号処理回路81は5個のCCDチップ21~25について完全に独立した回路となっているので、メモリ82によって1ラインにつなげられた画像信号においてCCDチップ間のレベル調整を厳密に行なうことが困難である。また、独立した回路系であるために、回路間に異なったドリフトが生じた場合、これを補正する手段が必要となる。そこで本実施例では、黒補正および白補正を行なっている。

まず、黒補正については、第7図におけるクランプ回路75で行なっている。

第8図はクランプ回路75の詳細な構成例を示す。本例に係るクランプ回路75は、CCDチップの光シールド面系を0Vにクランプするクランプ回路81と、定電圧電源85の電圧 V_1 を入力され、8ビットデジタルデータにより出力を制御可能な変算型D/Aコンバータ82と、電流-電圧変換用の増幅器83と、演算増幅器84とにより構成している。

従って増幅器83の出力はD/Aコンバータ82の8

なるようにCPU65により演算を行い、CCDチップ21~25の処理回路に対しそれぞれ独立した補正値をデータD0~D7によりD/Aコンバータ82にフィードバックする。

第10図はこのような黒補正に際してCPU65が実行する処理手順の一例を示す。

処理の開始にあたって、例えば光学系を原稿に対して移動させる装置にあっては、光学系を黒色板16の下に位置づけ、まずステップS1でランプ12を点灯し、ステップS2でランプ12の光量が安定するまでの時間を例えばタイマを用いて待機する。

次いでステップS3でRAM77に展開されたデータをCPU65内に取り込む。次にステップS4で1ライン中のデータに“00H”が有るか否かを判定する。ここで、無い場合にはステップS5に進み、各データの逆対数値を演算し、対数変換を行なう前のデータを復元する。そして、ステップS6で隣り合うCCDチップのつなぎ目のデータを一致させるような補正値を演算し、ステップS7にて、各CCD

ビットデジタル入力値D0~D7により決定され、入力電圧 V_1 と出力電圧 V_2 との関係は、

$$V_2 = V_1 \times D / 255 \quad (D: \text{デジタル入力値})$$

となる。

ゆえに、演算増幅器84により信号のクランプレベルに付加するバイアスをCPU65からの8ビットのデジタルデータD0~D7により制御できることになる。

黒補正を行うに際してはまず、D/Aコンバータ82へ入力するデジタル値をある定数に設定しておき、センサ部15が基準黒色板16を読み取ったときの画像信号をRAM77からCPU65へ取り込む。

第9図はそのときの1ラインの画像信号のレベルを例示し、81~85がそれぞれCCDチップ21~25の黒色板16を読み取ったときの画像信号である。CCDチップ21~25のそれぞれの感度は異なっているので、図示のようにレベルのばらつきが生じる。これを補正し、かつ装置の階調性を向上させるために、黒色板16を読み取ったときのレベルをA/D変換器76の出力で最下位、すなわち00Hと

チップに対応したD/Aコンバータ82のデジタル入力値に設定したデータにその補正値を加えて再度設定を行う。

次に、ステップS8にて回路の動作時間を考慮した時間、タイマを用いて待機した後、ステップS9で再度RAM77内のデータをCPU65内に取り込む。

次に、1ラインの画像信号が繋がった状態で全体を“00H”まで下げるために、ステップS10にて1ライン中のデータの最小値 D_{\min} を演算し、ステップS12で各CCDチップに対応したD/Aコンバータ82のデジタル入力値から一律に D_{\min} だけ減算し、再度設定を行う。

一方、ステップS4において1ライン中のデータに“00H”が存在すると判定された場合は、最初にD/Aコンバータ82に設定した入力値D0~D7が小さすぎたためであるから、ステップS13においてさらに定数Kを加え、再度D/Aコンバータ82に入力し、ステップS14で回路の動作時間だけ待機を行った後、ステップS3に復帰し、以降は前述のス

チップ53以下の手順を行う。

以上の動作をB、G、Rの3色についてそれぞれ行なうことにより、黒色板18を読み取ったときの画像信号が1ラインにつながり、かつこれを画像データの最下位の値“00H”にかぎりなく近づけることができる。

次に、白補正については第7図の乗算器74で行う。

第11図は乗算器74の詳細な構成例を示す。ここで、111は8ビットデジタル入力端子000～007を持つ乗算型D/Aコンバータ、112は電流-電圧変換用の増幅器である。

まず最初は、このD/Aコンバータ111に入力するデジタル値に定数を設定しておき、白色板17をセンサ部15が読み取ったときの画像信号レベル、すなわちA/D変換器78の入力レベルを、可変増幅器71および73を用いてA/D変換器の最大入力レベルを越えず、かつ近いレベルまで調整する。

そのとき、RAM77から1ラインとなった画像信号をCPU85に取り込む。ここで再び第9図を参照

(発明の効果)

以上説明したように、本発明によれば、白色板等、白色基準画像を読み取ったときの画像信号レベルに応じて、各センサの画像信号のゲインを独立に補正することにより、白色基準画像読み取り時の画像信号をリニアにつなぐことができ、また独立した処理回路において異なったドリフトが生じた場合についてもその補正が可能となる。

さらに、リニアにつながった画像信号を常に同じレベルに補正することにより、光量の変動が生じた場合についても、階調性を損なうことなく、常に同じ階調が得られる。

なお、上例では、センサ部として各センサを千鳥状に配列したものを用いたが、各センサの配列の様子は種々のものとしてことができ、例えば直線状に整列させたものであってもよい。

4. 図面の簡単な説明

第1図は本発明の一実施例において用いる光学系およびセンサ部の一構成例を示す側面図、

第2図はセンサ部の機械的構成例を示す斜視

するに、98～100はそれぞれ白色板17を読み取ったときのCCDチップ21～25の画像信号である。CCDチップの感度、あるいは回路系がそれぞれ独立しているために、図示のように各信号がリニアにつながっていない。これを補正すべく、かつ装置の階調性を向上させるべく、白色板17をセンサ部15が読み取ったときの画像信号を、A/D変換器の出力で最上位、すなわち“FFH”にかぎりなく近づけるようにCPU85で演算を行ない、CCDチップ21～25の処理回路に対しそれぞれ独立した補正值000～007をD/Aコンバータ111にフィードバックする。

このような白補正に際しても、黒補正についての第10図示の手順と同様な手順により、実行することができる。

このような白補正を行なうことにより、光量の変動したときでも常に白色板17を読み取ったときの画像信号が“FFH”に近づくようにフィードバックされるため、その画像データの階調性を失なうことがなくなる。

図、

第3図はセンサ部の図素構成例を示す説明図、

第4図は本例において用いたセンサ部におけるCCDチップの配列を説明するための説明図、

第5図はCCDチップ内の図素配列を説明するための説明図、

第6図は本発明の一実施例における信号処理部の一構成例を示すブロック図、

第7図は第6図示の信号処理部の具体的構成例を示すブロック図、

第8図は第7図示の処理部における黒補正を行うためのクランプ回路の詳細な構成例を示す回路図、

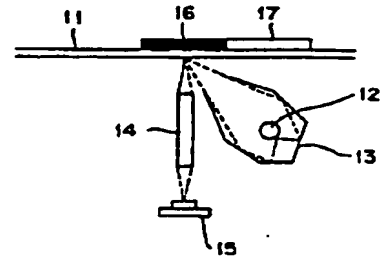
第9図は本例による黒補正および白補正を説明するための説明図、

第10図は本例による黒補正の処理手順の一例を示すフローチャート、

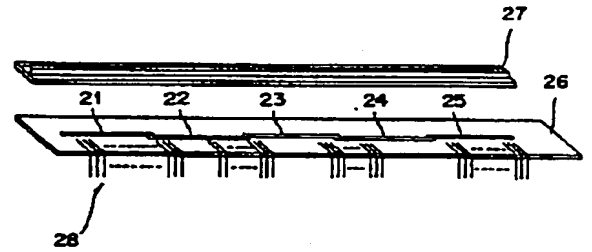
第11図は第7図示の処理部における白補正を行うための乗算器の詳細な構成例を示す回路図であ

る。

- 11—原稿台、
- 12—ハロゲンランプ、
- 13—反射笠、
- 14—集束性光伝送体アレー、
- 15—センサ部、
- 16—黒色板、
- 17—白色板、
- 21—25—CCD チップ、
- 61, 61a—61e—アナログ信号処理回路、
- 62, 62a—62c—メモリ、
- 63—ROM、
- 64, 64a—64c—ホワイトバランス回路、
- 65—CPU、
- 71, 71—可変増幅器、
- 72—サンプルホールド回路、
- 74—乗算器、
- 75—クランプ回路、
- 76—A/D 変換器。



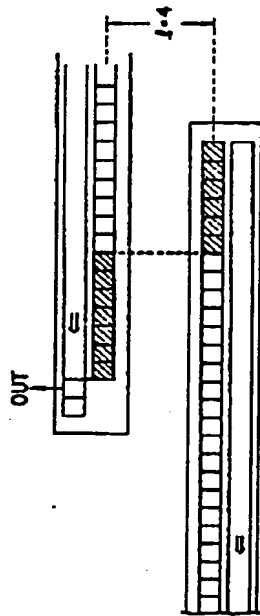
第 1 図



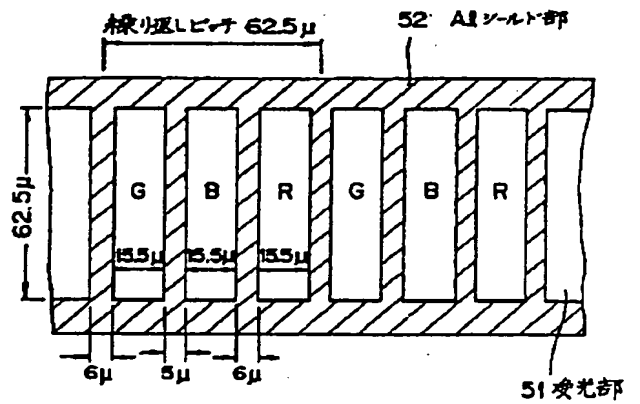
第 2 図

12	24	36	3072	24
空位の 24-42 画素 71-画素 (01-012) (013-036) (037-072) (51-53072) (073-096)				
有効画素 71-画素 (073-096)				

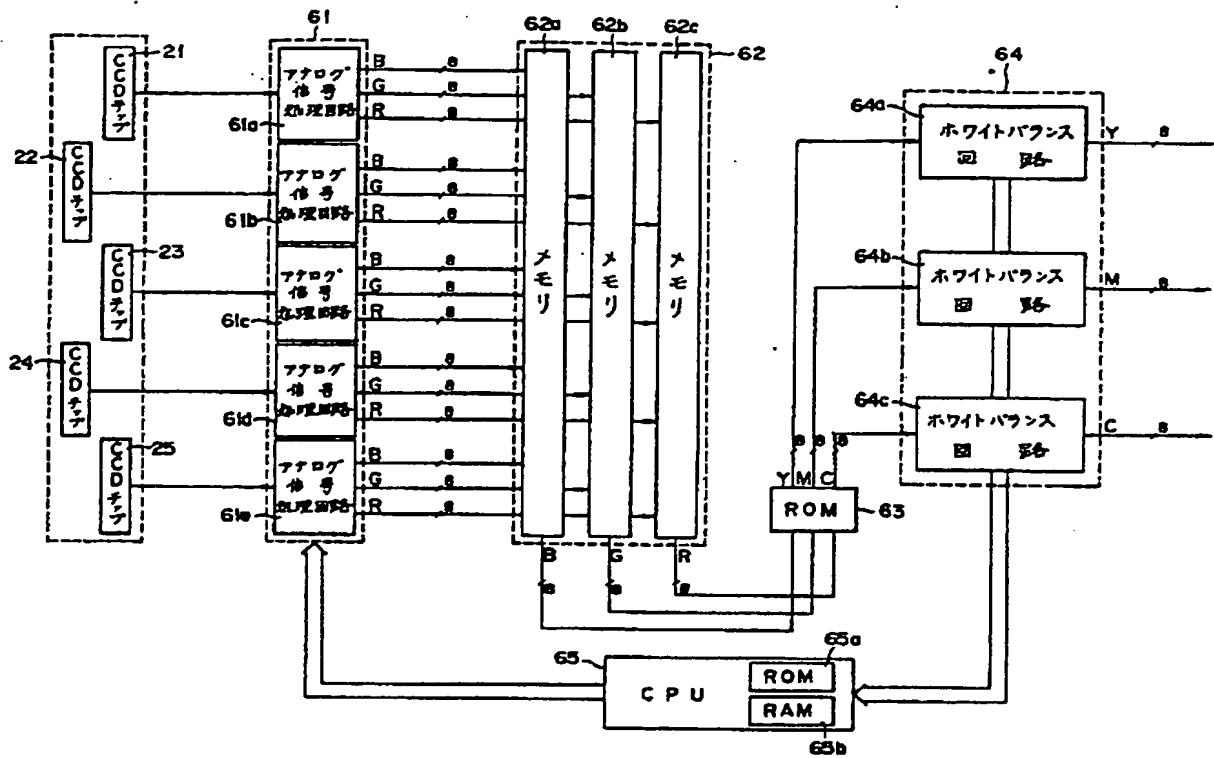
第 3 図



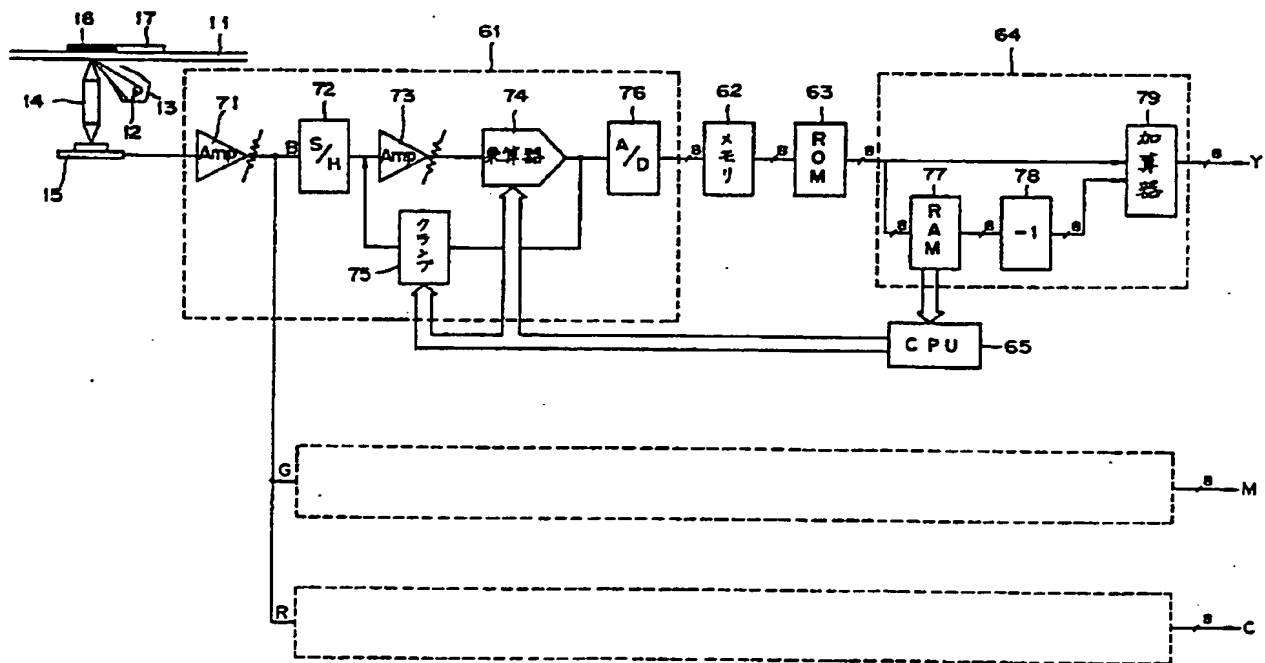
第 4 図



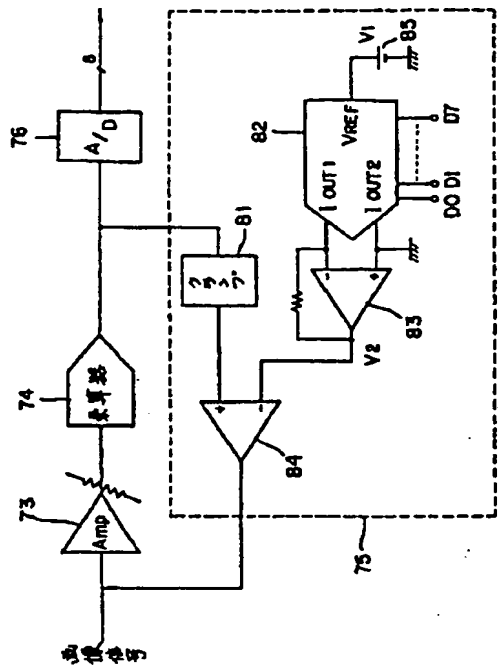
第 5 図



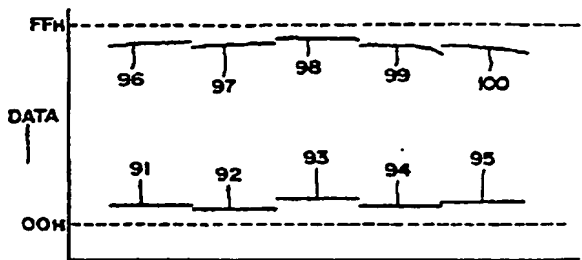
第 6 図



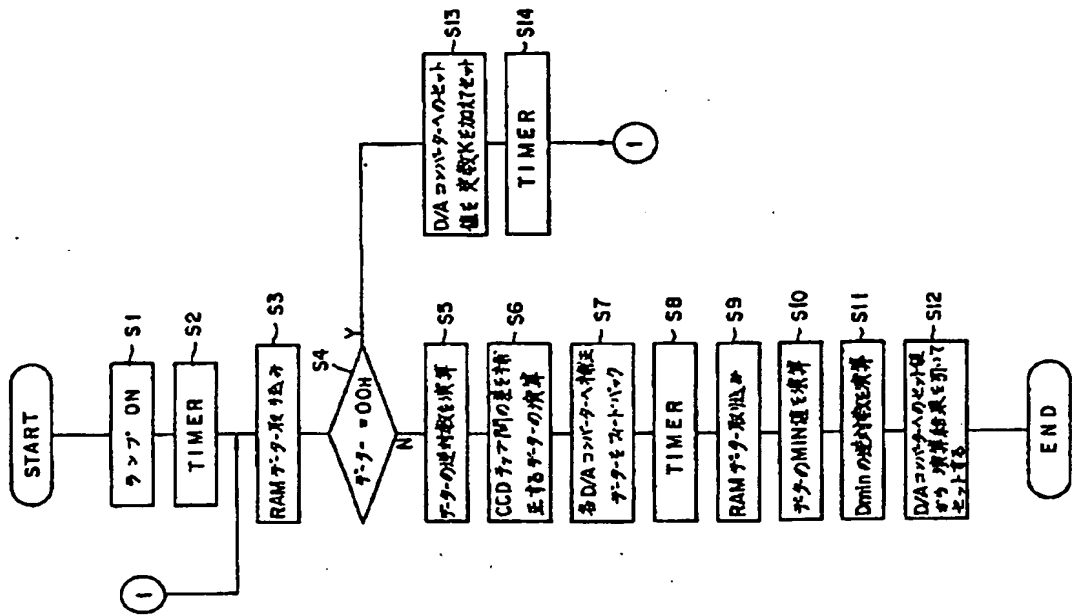
第 7 図



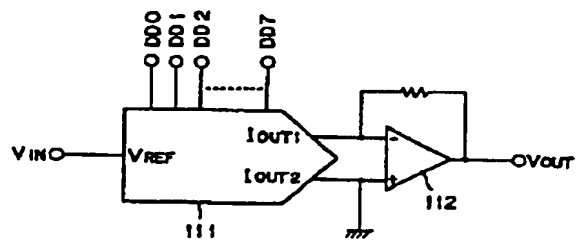
第 8 図



第 9 図



第 10 図



第11図